

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-262798  
(43)Date of publication of application : 13.10.1995

(51)Int.Cl. 611C 29/00  
611C 11/413

(21)Application number : 07-051620 (71)Applicant : SAMSUNG ELECTRON CO LTD  
(22)Date of filing : 10.03.1995 (72)Inventor : LEE KYU-CHAN

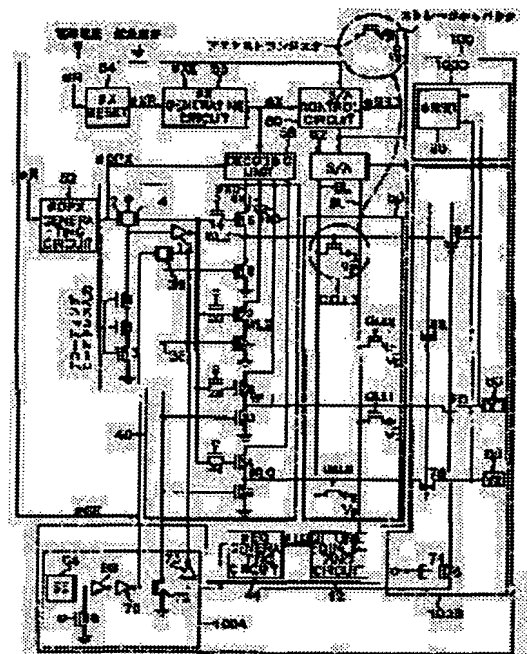
(30)Priority  
Priority number : 94 9404690 Priority date : 10.03.1994 Priority country : KR

## (54) STRESS CIRCUIT FOR SEMICONDUCTOR MEMORY AND STRESS VOLTAGE SUPPLYING METHOD

### (57)Abstract:

PURPOSE: To provide a stress circuit and a stress voltage supplying method with which the reliability of a memory device can be more surely guaranteed in a short time.

CONSTITUTION: A stress circuit 100 is provided with a stress enable circuit 100A for turning the pull-up and pull-down paths of a row decoder 40 into a critically disconnected state corresponding to an enable signal  $\phi$ SE, stress voltage supply circuit 100B for supplying a stress voltage through switch means 72-84 corresponding to the signal  $\phi$ SE, and delay control circuit 100C for delaying the operation start of a sense amplifier 62 by sensing the start of stress voltage supply. Its stress voltage supplying method becomes a method for supplying the stress voltage through the switch means 72-84 in the state of disconnecting the discharge path of word lines by suppressing the operation of the row decoder corresponding to the signal  $\phi$ SE. Further, the stress voltages at various levels can be supplied to the adjacent word lines so as to more surely detect various defects as well.



### LEGAL STATUS

[Date of request for examination] 10.03.1995  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 2781149  
[Date of registration] 15.05.1998  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-262798

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.<sup>8</sup>

G 1 1 C 29/00  
11/413

識別記号

3 0 3 B 7004-5L

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/ 34

3 4 1 D

審査請求 有 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平7-51620

(22) 出願日 平成7年(1995)3月10日

(31) 優先権主張番号 1994 P 4690

(32) 優先日 1994年3月10日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 圭燦

大韓民国ソウル特別市江東区明逸洞15番地

三益グリーンアパート501棟705号

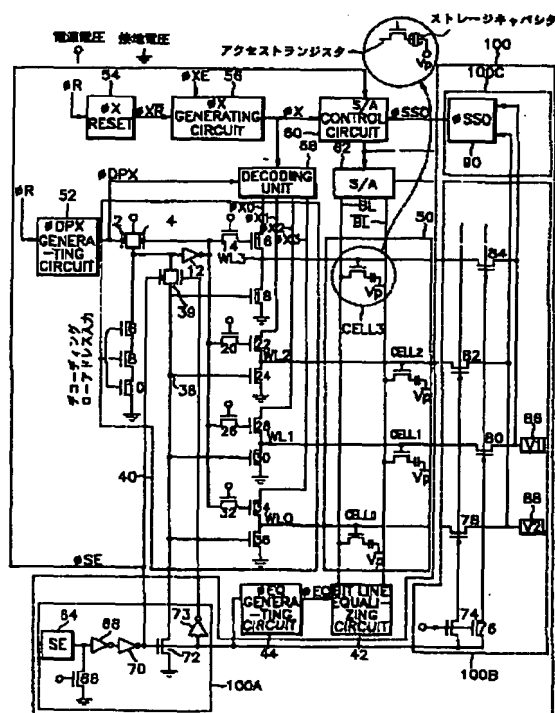
(74) 代理人 弁理士 高月 猛

(54) 【発明の名称】 半導体メモリのストレス回路及びストレス電圧供給方法

(57) 【要約】

【目的】 短い時間でメモリデバイスの信頼性をより確実に保障できるストレス回路及びストレス電圧供給方法を提供する。

【構成】 ストレス回路100は、エネーブル信号φSEによりローデコーダ40のプルアップ及びプルダウン経路を電氣的遮断状態とするストレスエネーブル回路100Aと、信号φSEに応じるスイッチ手段72～84を介してストレス電圧を供給するストレス電圧供給回路100Bと、ストレス電圧供給開始を閾値してセンスアンプ62の動作開始を遅らせる遅延制御回路100Cと、を備える。そのストレス電圧供給方法は、信号φSEによりローデコーダの動作を抑止してワードラインの放電経路を遮断した状態でスイッチ手段72～84を介してストレス電圧を供給する方法となる。従って全メモリセルにストレスを同時に加え得る。そして更に、多様な欠陥をより確実に検出できるように、隣接するワードラインに異なるレベルのストレス電圧を供給することもできる。



**【特許請求の範囲】**

**【請求項1】** 信頼性試験のために半導体メモリに備えられるストレス回路であって、

第1のワードラインに第1のストレス電圧を供給する第1ストレス電圧供給端子と、前記第1のワードラインと隣接する第2のワードラインに第2のストレス電圧を供給する第2ストレス電圧供給端子と、前記各ストレス電圧の各ワードラインへの供給を制御するストレスエネーブル回路と、を備えてなり、テスト時に隣接するワードラインに対し異なるレベルのストレス電圧を供給可能とされていることを特徴とするストレス回路。

**【請求項2】** 1対のビットラインと、該ビットライン対にそれぞれ接続されたメモリセルと、感知制御信号に応答して前記ビットライン対の感知動作を遂行するセンスアンプと、を少なくとも有した半導体メモリに備えられる信頼性試験のためのストレス回路であって、第1のワードラインに第1のストレス電圧を供給する第1ストレス電圧供給端子と、前記第1のワードラインと隣接する第2のワードラインに第2のストレス電圧を供給する第2ストレス電圧供給端子と、前記各ストレス電圧の印加に応答してその印加時点から所定時間遅らせた遅延信号を発生し、前記感知制御信号を発生するセンスアンプ制御回路へ提供する遅延制御回路と、を備えてなり、ストレス印加時に、メモリセルのデータがビットライン対に十分伝達されてからセンスアンプによる感知動作を開始させるようになっていることを特徴とするストレス回路。

**【請求項3】** メモリセルと、メモリセルのデータを伝送するビットラインと、ビットラインの感知動作を遂行するセンスアンプと、センスアンプの感知動作を制御するセンスアンプ制御回路と、アドレスの入力に対応してメモリセルを選択するローデコードと、を有する半導体メモリにおいて、エネーブル信号を発生してストレス印加を可能とするストレスエネーブル回路と、このストレスエネーブル回路によるエネーブル信号に応答して第1のストレス電圧及び第2のストレス電圧を対応するワードラインへ供給するストレス電圧供給回路と、前記各ストレス電圧の供給に応じてセンスアンプ制御回路を制御しセンスアンプの感知動作開始を遅らせる遅延制御回路と、からなるストレス回路を備えることを特徴とする半導体メモリ。

**【請求項4】** ストレスエネーブル回路は、ストレス印加を開始させるための信号を受けるストレスエネーブル端子と、このストレスエネーブル端子に提供される信号を増幅してエネーブル信号を発生するドライバ回路と、そのエネーブル信号を制御入力としてローデコード内のワードラインに対する放電経路を遮断する制御を行うブルダウントランジスタと、から構成される請求項3記載の半導体メモリ。

**【請求項5】** ストレス電圧供給回路は、第1のストレ

ス電圧を受ける第1ストレス電圧供給端子と、第2のストレス電圧を受ける第2ストレス電圧供給端子と、ストレスエネーブル回路によるエネーブル信号に応答して第1ストレス電圧供給端子と対応するワードラインとの間の接続制御を行う第1伝送トランジスタと、ストレスエネーブル回路によるエネーブル信号に応答して第2ストレス電圧供給端子と対応するワードラインとの間の接続制御を行う第2伝送トランジスタと、から構成される請求項4記載の半導体メモリ。

**【請求項6】** 遅延制御回路は、ストレス電圧供給回路の第1のストレス電圧供給を受けてこれに対応する電圧変化を遅らせて発生する第1遅延回路と、ストレス電圧供給回路の第2のストレス電圧供給を受けてこれに対応する電圧変化を遅らせて発生する第2遅延回路と、これら第1遅延回路及び第2遅延回路の各出力を論理演算して、少なくとも前記各ストレス電圧のいずれか一方の供給があればセンスアンプの感知動作を遅延させるための遅延信号を発生してセンスアンプ制御回路を制御する論理回路と、から構成される請求項5記載の半導体メモリ。

**【請求項7】** 半導体メモリの信頼性試験でストレス印加を行う際のワードラインに対するストレス電圧供給方法であって、外部からエネーブル信号を供給してローデコードの動作を抑止することでワードラインに対する放電経路を遮断し、その状態で前記エネーブル信号に応じてONするスイッチ手段を介してワードラインへストレス電圧を供給するようにしたことを特徴とするストレス電圧供給方法。

**【請求項8】** 隣接するワードラインに異なるレベルのストレス電圧を供給するようにした請求項7記載のストレス電圧供給方法。

**【請求項9】** ストレス電圧の供給によりワードラインの電圧が十分上昇するまでセンスアンプによるビットラインのデータ感知開始を遅らせるようにした請求項7又は請求項8記載のストレス電圧供給方法。

**【請求項10】** 半導体メモリの信頼性試験でストレス印加を行う際にワードラインへストレス電圧を供給するストレス回路であって、ストレス印加開始を示すエネーブル信号によりローデコード内のワードラインプルアップ経路及びプルダウン経路を電氣的遮断状態とするストレスエネーブル回路と、ワードラインに接続されて前記エネーブル信号に応じてONするスイッチ手段を有し、該スイッチ手段を介してストレス電圧をワードラインへ供給するストレス電圧供給回路と、を備えてなることを特徴とするストレス回路。

**【請求項11】** ストレス電圧供給回路によるストレス電圧供給開始に応じてビットラインのセンスアンプ動作開始を遅らせる遅延制御回路を更に備える請求項10記

載のストレス回路。

【請求項 12】 ストレス電圧供給回路が、隣接するワードラインに対し相互に異なるストレス電圧を供給可能となっている請求項 10 又は請求項 11 記載のストレス回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体メモリ装置に関し、特に、回路を集積したデバイスの信頼性試験に関係したストレス回路 (stress circuit) とそのストレス電圧供給方法に関する。

【0002】

【従来の技術】 半導体集積回路では、その集積度が高くなるにつれて回路素子の 3 次元的縮小が要求されてくる。特に、メモリにおけるデータを記憶するメモリセルの縮小はめざましく、それに伴い微細パターン、ステップカバレッジ等の工程における複雑性が増してきており、そのため、信頼性の保障が一層重要になっている。

【0003】 例えば、DRAM (dynamic RAM) や SRAM (static RAM) に代表される半導体メモリの場合、パッケージ工程の前後で、集積した回路の信頼性検査としてバーンインテスト (Burn-In Test) を実施するようにしている。このバーンインテストは、チップに集積されたメモリセルの欠陥検出やメモリセルの強度試験を行うもので、各メモリセルに外部供給電源又はそれ以上の高電圧を長時間印加して不良を検査するテストである。従って、バーンインテストを行うためには、通常、ストレス電圧を供給するためのストレス回路をテスト設備に備える必要があることは、よく知られている事実である。このようなバーンインテストは全ての半導体回路の製造元で現在採用されている技術であり、より効率的にバーンインテストを実施するために各種改善が進められている。

【0004】 そのうち、現在重要な課題の 1 つにテスト時間がある。即ち、集積度の増加に比例してテスト時間も増加するため、1 M (mega) 級までの初期段階のメモリでは製造時間に占めるテスト時間の割合はそれ程大きくなく問題にならなかったが、64 M 級や 256 M 級のメモリでは工程技術の進歩とも相まってテスト時間の割合が急増して製造時間を増加させる要因となっている。これは、高価格化につながると共に TAT にも影響している。

【0005】 バーンインテストの技術については、例えば Mitsuru Shimizu 等による 1992 年 6 月 2 日付米国特許第 5,119,337 号『SEMICONDUCTOR MEMORY DEVICE HAVING BURN-IN TEST FUNCTION』に示されたような技術がある。これは、パッケージ状態で DRAM のバーンインテストを行う際、そのテスト動作を感知してワードラインに供給される電圧レベルを十分に高めることにより、各メモリセルの不良検出に対する信頼性を向上

させる技術である。従って、パッケージした状態でのテスト信頼性を向上させられるという長所がある。

【0006】 このようなパッケージ状態でバーンインテストを実施する方法では、よく知られているように、数百個或いは数千個のデバイスに対し高電圧、高温（例えば電源 7 V 以上、温度約 125°C）で加速ストレスを加える方法を使用している。つまり、このテスト条件で、メモリセルのゲート絶縁膜、キャパシタ絶縁膜、メタルブリッジ (metal bridge) 及びポリブリッジ (poly bridge) のようなマイクロ性欠陥 (micro:  $\mu$  defect) 等をスクリーンできるようにしている。そして、このようなストレスを進行させながら、各メモリ内部では一定パターンのデータをメモリセルに書き込みつつ全メモリセルをスキャンする動作が遂行される。

【0007】 この場合、各メモリセルに対するストレスは、単純に DRAM のリフレッシュ周期で加えられる。例えば、リフレッシュ周期が 1024 リフレッシュサイクルの場合、ローアドレスを順次に増加させるとき 1024 パー RAS サイクル周期で該当ワードラインにストレスが加えられる。即ちストレス時間を 48 時間とすれば、実際に各メモリセルにストレスが加えられるのは 48 時間ではなく 48/1024 時間になる。従って、1 つのメモリセルに対し上記のような多様な欠陥を全て評価するためには、現状のストレス時間が十分であるとは言いきれない。しかしながら、十分な評価を行えるように 1 メモリセルに対するストレス時間を増加させるとテスト時間が延びて TAT に影響してくるため、これ以上ストレス時間を延ばすのは好ましくない。

【0008】

【発明が解決しようとする課題】 従って本発明では、第一に、短い時間でデバイスの信頼性をより確実に保障できるストレス回路の提供を目的とする。第二に、ウェーハ状態でもパッケージ状態でもメモリ内のメモリセルに対し効率的にストレスを加え得るストレス回路の提供を目的とする。第三に、短い時間でデバイスの信頼性をより確実に保障できるストレス電圧供給方法の提供を目的とする。第四に、メモリセルに対し効率的にストレスを加えられ、テスト時間を短縮可能なストレス電圧供給方法の提供を目的とする。第五に、ウェーハ状態でもパッケージ状態でもメモリセルに対し効率的にストレスを加えられるストレス電圧供給方法の提供を目的とする。

【0009】

【課題を解決するための手段】 このような目的を達成するために、本発明による半導体メモリの信頼性試験でストレス印加を行う際のワードラインに対するストレス電圧供給方法は、外部からエネーブル信号を供給してローデコーダの動作を抑止することでワードラインに対する放電経路を遮断し、その状態で前記エネーブル信号に応じて ON するスイッチ手段を介してワードラインへストレス電圧を供給することを特徴とする。この発明によれ

ば、よりテスト時間を短縮できるようにメモリ内の全てのメモリセルにストレスを同時に加え得る。そして更に、このような本発明によるストレス電圧供給方法において、多様な欠陥をより確実に検出できるように、隣接するワードラインに異なるレベルのストレス電圧を供給することを特徴とする。或いはまた、このような本発明によるストレス電圧供給方法において、ストレス電圧の供給によりワードラインの電圧が十分上昇するまでセンスアンプによるビットラインのデータ感知開始を遅らせることを特徴とする。

【0010】そして、本発明によるストレス回路は、ストレス印加開始を示すエネーブル信号によりローデコーダ内のワードラインプルアップ経路及びブルダウン経路を電氣的遮断状態とするストレスエネーブル回路と、ワードラインに接続されて前記エネーブル信号に応じてONするスイッチ手段を有し、該スイッチ手段を介してストレス電圧をワードラインへ供給するストレス電圧供給回路と、を備えてなることを特徴とする。更にこの構成に加えて、ストレス電圧供給回路によるストレス電圧供給開始を関知してビットラインのセンスアンプの動作開始を遅らせる遅延制御回路を備えることを特徴とする。そしてこのようなストレス回路におけるストレス電圧供給回路を、隣接するワードラインに対し相互に異なるストレス電圧を供給可能とすることを特徴とする。

【0011】また、本発明によるストレス回路は、第1のワードラインに第1のストレス電圧を供給する第1ストレス電圧供給端子と、前記第1のワードラインと隣接する第2のワードラインに第2のストレス電圧を供給する第2ストレス電圧供給端子と、前記各ストレス電圧の各ワードラインへの供給を制御するストレスエネーブル回路と、を備えてなり、テスト時に隣接するワードラインに対し異なるレベルのストレス電圧を供給可能とされていることを特徴とする。

【0012】更にまた、本発明によるストレス回路は、第1のワードラインに第1のストレス電圧を供給する第1ストレス電圧供給端子と、前記第1のワードラインと隣接する第2のワードラインに第2のストレス電圧を供給する第2ストレス電圧供給端子と、前記各ストレス電圧の印加に応答してその印加時点から所定時間遅らせた遅延信号を発生し、前記感知制御信号を発生するセンスアンプ制御回路へ提供する遅延制御回路と、を備えてなり、ストレス印加時に、メモリセルのデータがビットライン対に十分伝達されてからセンスアンプによる感知動作を開始させるようになっていることを特徴とする。

【0013】

【実施例】以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。尚、共通の部分には可能な限り同じ符号を付し、重複する説明は省略する。

【0014】以下の説明において、 $\phi$ SSD発生回路(遅延制御回路)、センスアンプ制御回路、 $\phi$ DPX発

生回路、 $\phi$ XバーRリセット回路、及びデコーディングユニット等の特定詳細を本発明の全般的な理解のために提供するが、本発明は、これらの特定詳細に限られるものではないことは、当該技術分野における通常の知識を有する者ならば自明のことであろう。

【0015】図1に、本発明によるストレス回路を有する半導体メモリの内部構成について要部を概略的に示している。この図1に示す構成は本発明の特徴部分を代表的に示したものであって、同図に示すようなメモリセルと関連したロー関連デコーディング回路及びカラム関連感知回路等は、集積度に依じて数多く存在する。

【0016】メモリセルアレイ50は、1アクセストランジスタ・1ストレージキャパシタからなるダイナミック形メモリセルを多数形成した一般的なセルアレイである。尚、図1中の $V_p$ は基板電圧を示す。また、ローデコータ40は、本願出願人による1992年10月31日付の韓国特許出願1992-20343号、1992年11月20日付の韓国特出願1992-21849号等に開示されたワードライン駆動回路と同様の方式を採用したもので、デコーディングされたローアドレスのアドレッシングは、それらワードライン駆動回路と同様のものとできる。但し、ストレス回路100により制御される伝達ゲート39及びその制御方式は本発明に係る新規なものである。上記特許出願を参照すると分かるように、ローデコータ40へ入力されるデコーディングされたローアドレスにはアドレスの組合せ、即ちローアドレスDRAk1、DRAMn、DRApqが使用される。そして、これらデコーディングされたローアドレスDRAk1、DRAMn、DRApqが全て論理“ハイ”で入力される場合、接続ノード38が論理“ロウ”になり、これによりインバータ12が論理“ハイ”を出力して所定のワードラインが選択される。

【0017】本発明に係るストレス回路100は、その出力情報によりロー及びカラムデコーディング関連回路を制御する。このストレス回路100の組み入れにおいては、ストレスエネーブル端子(SE)64、第1ストレス電圧供給端子(V1)86、及び第2ストレス電圧供給端子(V2)88を備えるのがよい。これら各端子は次のような形式で実現可能である。まず、ピン端子(外部端子)を用いる形式が可能である。このときは更に3個のピン端子を設けるようにしなければならないが、ウェーハ状態でもパッケージ状態でも所望のストレスを加えることができる。2つめに、ピン端子を接続せずにパッドを直接用いる形式が可能である。このときはパッケージ状態での使用はできなくなるが、半導体集積回路標準化規格として通用されているJEDEC規格に対応できる長所がある。

【0018】ストレス回路100の構成は、ストレスエネーブル回路100A、ストレス電圧供給回路100B、そして遅延制御回路100Cを備えたものとされ

る。ストレスエネーブル回路100Aは、ストレスエネーブル端子64によるストレス印加の開始を示すエネーブル信号を増幅してストレスエネーブル信号 $\phi$ SEを出力するドライバ回路68、70と、ストレスエネーブル信号 $\phi$ SEをゲートに受けて制御され、テスト時に接続ノード38を論理“ロウ”にプルダウンするNMOSTランジスタ72と、ストレスエネーブル信号 $\phi$ SEを反転させてストレスエネーブル信号 $\phi$ バーSEを出力するインバータ73と、から構成される。尚、ストレスエネーブル端子64の出力線に形成されたNMOSTランジスタ66は抵抗として動作する。このストレスエネーブル回路100Aによるストレスエネーブル信号 $\phi$ SEによりローデコーダ40における伝達ゲート(transmission gate)39のP形制御端子が制御され、また、反転したストレスエネーブル信号 $\phi$ バーSEによりN形制御端子が制御されるようになっている。

【0019】ストレス電圧供給回路100Bは、第1ストレス電圧供給端子86と、第2ストレス電圧供給端子88と、第2ストレス電圧供給端子88からのストレス電圧V2をワードラインWL0へ供給する伝送トランジスタ78と、第1ストレス電圧供給端子86から出力されるストレス電圧V1をワードラインWL1へ供給する伝送トランジスタ80と、第2ストレス電圧供給端子88からのストレス電圧V2をワードラインWL2へ供給する伝送トランジスタ82と、第1ストレス電圧供給端子86からのストレス電圧V1をワードラインWL3へ供給する伝送トランジスタ84と、伝送トランジスタ78、82の各ゲートにストレスエネーブル信号 $\phi$ SEを供給するNMOSTランジスタ74と、伝送トランジスタ80、84の各ゲートにストレスエネーブル信号 $\phi$ SEを供給するNMOSTランジスタ76と、から構成される。ワードラインWL0～WL3に接続された伝送トランジスタ78～84はストレス電圧を供給するにあたってのスイッチ手段となる。

【0020】遅延制御回路100Cは、センスアンプ(S/A)62の感知動作を制御するセンスアンプ制御回路60に対し、ストレス印加時にセンスアンプの感知動作を遅延させるように制御を行わせるための $\phi$ SSD信号発生回路90から構成される。その構成及び動作については後に詳しく説明する。

【0021】次に、この集積回路の動作特性について、ストレス印加時における各信号タイミングを示した波形図の図2を用いて順次説明する。

【0022】まず、ストレスを加えない場合、即ち、テストではなく通常のノーマル動作のような場合は、ストレスエネーブル回路100Aによるストレスエネーブル信号 $\phi$ SEが論理“ロウ”で発生されるので、ローデコーダ40のプリチャージ制御回路である $\phi$ DPX発生回路52、 $\phi$ Xリセット回路54、ワードラインブースティング信号を出力するデコーディングユニット58、及

びセンスアンプ制御回路60は、通常のデコーディング動作を遂行する。そして、ストレス電圧供給回路100Bの伝送トランジスタ78、80、82、84はOFFとなり、第1ストレス電圧供給端子86及び第2ストレス電圧供給端子88と各ワードラインWL0～WL3とは電氣的絶縁状態にある。

【0023】一方、テストでストレスを印加する、即ちストレス電圧を供給する場合は、ストレスエネーブル信号 $\phi$ SEが論理“ハイ”にエネーブルされ、これにより、ローデコーダ40の伝達ゲート39がOFF(非導通)となると共にNMOSTランジスタ72がONとなって接続ノード38は論理“ロウ”に設定される。従って、ワードラインドライバのプルダウン経路になるNMOSTランジスタ18、24、30、36がOFFされる。そして、ストレス電圧供給回路100Bの伝送トランジスタ78、80、82、84がONし、第1ストレス電圧供給端子86及び第2ストレス電圧供給端子88と各ワードラインWL0～WL3とは電氣的導通状態となり電流通路が形成される。

【0024】このとき、ワードラインドライバのプルアップ経路になるNMOSTランジスタ16、22、28、34と、プルダウン経路になるNMOSTランジスタ18、24、30、36は、図2のタイミング図に示す信号条件に従ってOFFとなり、ワードラインWL0～WL3に供給されるストレス電圧V1及びストレス電圧V2の放電が防止される。また、センスアンプ制御回路60は、遅延制御回路としての $\phi$ SSD発生回路90の出力信号 $\phi$ SSDの制御を受けることで、一定のデータパターンが書込まれるメモリセルに対しストレス電圧V1、V2によりワードライン電圧レベルが十分に高くなった後にセンスアンプ62の感知動作を遂行させる。

【0025】このストレス印加に際して、第1ストレス電圧供給端子86及び第2ストレス電圧供給端子88に異なる電圧をそれぞれ印加することにより、各対応するワードラインに異なるストレス電圧を供給することもできる。即ち、図1の例でいうと、ワードラインWL0、WL2とワードラインWL1、WL3にそれぞれ異なるストレス電圧を供給可能である。例えば、データパターンに従って、ビットラインBLに接続されたメモリセルには‘1’を書込むと共にビットラインバーBLに接続されたメモリセルには‘0’を書込んだ状態の場合に、第1ストレス電圧供給端子86にはストレス電圧を印加し、第2ストレス電圧供給端子88には基準電位を印加するようにすれば、互いに隣接するワードラインを異なる電圧とすることができる。従って、このような状態では、互いに隣接するビットラインとビットライン、互いに隣接するワードラインとワードラインとの間を相互に異なる電圧レベルとでき、ストレスを加えることができる。

【0026】上述のようにダイナミック形セルは一般に

1つのアクセストランジスタと1つのストレージキャパシタとからなる（メモリセルCELL3参照）。尚、キャパシタはポリシリコンで形成されるのでストレージキャパシタをストレージポリとも呼んでいる。このようなダイナミック形のメモリセル間は、極めて微細なデザインルールにより設計されるので、非常に狭くなる。そこで、上記の異なるストレス電圧供給方法を実施すれば、例えばメモリセル0のストレージノードとメモリセル1のストレージノードとの隣接ノードにおいて、スタック形キャパシタとした場合の大きな段差をもつストレージキャパシタと隣接ストレージキャパシタとの間に高ストレスを加えることができる。また、ビットラインBL、バーBLが互いに異なる電圧となり、第1ストレス電圧供給端子86、第2ストレス電圧供給端子88にストレス電圧を印加できるので、メモリセルのアクセストランジスタのゲート絶縁膜及びストレージキャパシタの絶縁膜にも有効にストレスを加えることができる。従って、隣接したワードラインと隣接したビットラインの電圧レベルをそれぞれ所望の異なる電圧レベルに制御可能で、製造工程で発生し得る欠陥を全てスクリーンできることになる。

【0027】即ち、既存のストレス印加方法では単純にワードライン又はビットラインに任意の電圧を一律に印加する方式を使用しているが、本発明によれば、メモリセルの互いに隣接したラインやノードにそれぞれ異なる電圧をも加え得るようになっているので、ワードラインとワードライン、ビットラインとビットライン、或いはストレージキャパシタとストレージキャパシタ等、メモリセルの微細なデザインルールで発生し得るミクロブリッジ等に対するために適切なストレスを印加可能である。更に、このような方法をウェーハ状態のテストに適用する場合には、その後に冗長等の救済が可能であるので、歩留を向上させられ、しかも、一度に全ワードラインへストレス電圧を印加できるのでパッケージ状態で実施するテストの時間を大幅に減少させることができる。

【0028】以下に、図1に示した各回路の具体例を説明する。

【0029】図3は、 $\phi$ SSD発生回路90の回路例を示す。この $\phi$ SSD発生回路90は、第1ストレス電圧供給端子86に入力側の接続された第1遅延回路102と、第1遅延回路102の出力信号を入力とするインバータ104と、第2ストレス電圧供給端子88に入力側の接続された第2遅延回路106と、第2遅延回路106の出力信号を入力とするインバータ108と、インバータ104、108の各出力信号を受けてセンスアンプ制御回路60の動作遅延を行う遅延信号 $\phi$ SSDを出力するNANDゲート110と、から構成される。各遅延回路102、106は、例えばCMOSインバータチェーン、抵抗、又はキャパシタ等の使用、或いは、ワードライントラッキング回路及びこの回路の出力信号に応答

して動作するシュミットトリガ回路の使用で実施できる。

【0030】この回路90によれば、第1ストレス電圧供給端子86や第2ストレス電圧供給端子88の少なくともいずれか1つの端子にストレス電圧が供給されれば、テスト用に遅延信号 $\phi$ SSDを出力することができる。そして、遅延回路102、106により、図2に示したタイミングで感知動作が行われる。つまり、メモリセルにデータを書込んでストレスを加える過程において、ストレス電圧V1、V2を加えて十分にワードライン電圧が上昇した後にデータ感知増幅が行われる、即ち電荷配分（charge sharing）が十分に行われる時間が保障される。

【0031】図4は、センスアンプ制御回路60の回路例を示す。このセンスアンプ制御回路60は、 $\phi$ X発生回路56の出力信号 $\phi$ X及びインバータ111Aを通したストレスエネーブル信号 $\phi$ SEを論理演算するANDゲート111Bと、ANDゲート111Bの出力信号及び遅延信号 $\phi$ SSDを論理演算するNORゲート112と、NORゲート112の出力側から直列接続され、センスアンプ62の駆動信号 $\phi$ Sを出力する3個のインバータ114、116、118と、インバータ118の出力信号を入力としてセンスアンプ62の駆動信号 $\phi$ バーSDを出力するインバータ120と、から構成される。駆動信号 $\phi$ S、 $\phi$ バーSDは、差動増幅器をもつセンスアンプで、P形センスアンプとN形センスアンプで構成されるセンスアンプの駆動信号である。駆動信号 $\phi$ SはP形センスアンプの駆動信号として利用可能で、駆動信号 $\phi$ バーSDはN形センスアンプの駆動信号として利用可能である。この回路60がテスト時に遅延信号 $\phi$ SSDの制御を受けてセンスアンプの駆動を行うことは、容易に理解されるであろう。

【0032】図5は、 $\phi$ DPX発生回路52の回路例を示す。この回路はよく知られた回路構成である。即ち、ローアドレス信号RAi、バーRAiを論理演算するNORゲート122aと、NORゲート122aの出力信号を反転させるインバータ122bと、ローアドレスストロブ信号バーRASによるマスタクロック $\phi$ R及びインバータ122bの出力信号を論理演算するNORゲート124aと、NORゲート124aの出力信号を反転させてローデコーダプリチャージ信号（RowDecoder Precharge Clock） $\phi$ DPXを発生するインバータ124bと、から構成される。この $\phi$ DPX回路52は、通常の読出／書込動作の場合を除く、ノーマル動作における待機状態時やストレス印加時のような場合に、論理“ロウ”のローデコーダプリチャージ信号 $\phi$ DPXを出力する。即ち、アクティブサイクルではRAi、バーRAiは相補信号であるが、プリチャージ期間等の非アクティブ期間ではRAi、バーRAiは同じ論理値（通常、論理“ロウ”）となり、また非アクティブ期間では

$\phi R$  が論理 “ロウ” なので、論理 “ロウ” のローデコーダブリチャージ信号  $\phi DPX$  が出力される。

【0033】図6は、デコーディングユニット58の回路例を示す。この回路もよく知られた回路構成である。この図6に示す回路は、例えば図1に示すデコーディングユニット58の場合には4個備えられ、その4個からそれぞれブースティング信号  $\phi X0$ 、 $\phi X1$ 、 $\phi X2$ 、 $\phi X3$  が出力される。このデコーディングユニット58に入力されるローアドレス信号  $RAi$ 、…、 $RAj$  は、メモリセルをブロック化して集積している場合のブロック選択に関連するものである。

【0034】図7は、 $\phi EQ$  発生回路44の回路例を示す。この  $\phi EQ$  発生回路44には、ストレス印加時にビットラインの等化動作を停止するための構成が備えられている。即ち、ブロック選択アドレス信号  $RAi$ 、 $RAj$  を入力とするNANDゲート164と、NANDゲート164の出力信号伝送路に設けられ、ストレスエネーブル信号  $\phi SE$  の制御で開閉動作する伝達ゲート170と、伝達ゲート170を通じて送られるNANDゲート164の出力信号を増幅し、等化制御信号  $\phi EQ$  として出力する増幅回路を形成するインバータ172、174と、インバータ172の入力側と接地電位との間にチャネルが設けられ、ストレスエネーブル信号  $\phi SE$  の制御で開閉動作するNMOSトランジスタ168と、から構成される。この回路44は、通常の読出／書込動作時はストレスエネーブル信号  $\phi SE$  の論理 “ロウ” で伝達ゲート170が常時ONになる。一方でストレス印加時は、ストレスエネーブル信号  $\phi SE$  の論理 “ハイ” により、伝達ゲート170がOFF、そしてNMOSトランジスタ168がONとなってインバータ172の入力が論理 “ロウ” にプルダウンされる。従って、ビットライン等化制御信号  $\phi EQ$  が論理 “ロウ” でビットラインの等化が抑止される。

【0035】以上の実施例から、本発明によるストレス電圧供給方法は、各ビットラインとビットライン又は各ワードラインとワードラインとの間に互いに異なる有効な電圧を供給できることを、該当技術分野における通常の知識を有する者ならば容易に理解できるであろう。

【0036】本実施例に示したストレス回路の一例は、本発明の技術的な思想に立脚して実現した最適の実施例であるが、本発明によるストレス電圧供給方法を採用するにあたって、本実施例に示したストレス回路以外にも

多様な回路構成が可能である。また、本実施例における各デコーディング及びデータ感知関連回路の例も、本発明によるストレス電圧供給方法に基づいて、そのストレス関連信号を入力する構成を基本として多様な構成が可能である。

#### 【0037】

【発明の効果】以上述べてきたように本発明によれば、メモリのバーストテストにおいて製造工程で発生し得る欠陥をほぼ全面的にスクリーンすることが可能となり、また数多くの欠陥が1チップで発生していても、それらをウェーハレベルで容易に検出でき、不良品抽出の能率がよい。更に、テスト時、各メモリセル間、各ワードラインとワードラインとの間、及び各ビットラインとビットラインとの間に相互異なる電圧を供給できるので、より効果的なテストを行い得る長所がある。加えて、ウェーハ状態でのテストで歩留を向上させることができ、尚且つパッケージ状態でのテストでその時間を大幅に減少させ得る。

#### 【図面の簡単な説明】

【図1】本発明によるストレス回路を有する半導体メモリの要部回路図。

【図2】図1の回路におけるストレス印加時の各信号タイミングを示す電圧波形図。

【図3】図1に示した  $\phi SSD$  発生回路90の具体例を示す回路図。

【図4】図1に示したセンスアンプ制御回路60の具体例を示す回路図。

【図5】図1に示した  $\phi DPX$  発生回路52の具体例を示す回路図。

【図6】図1に示したデコーディングユニット58の具体例を示す回路図。

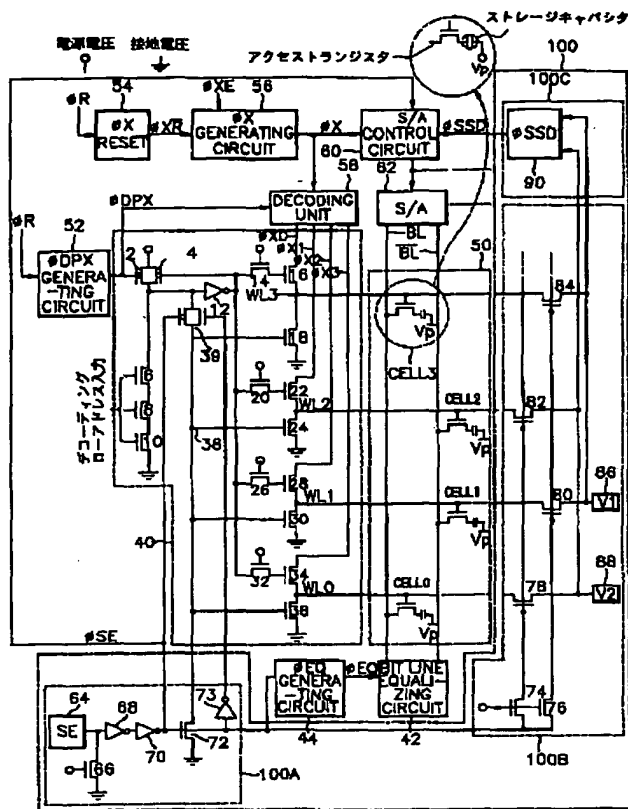
【図7】図1に示した  $\phi EQ$  発生回路44の具体例を示す回路図。

#### 【符号の説明】

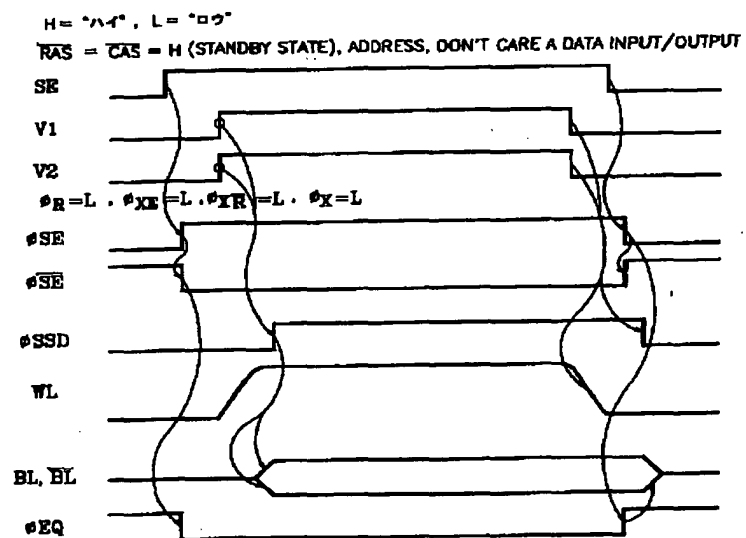
- 40 ローデコーダ
- 60 センスアンプ制御回路
- 62 センスアンプ
- 100 ストレス回路
- 100A ストレスエネーブル回路
- 100B ストレス電圧供給回路
- 100C 遅延制御回路



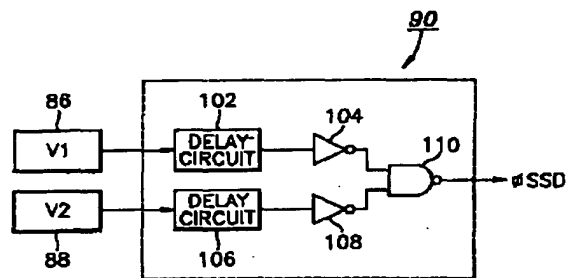
【図1】



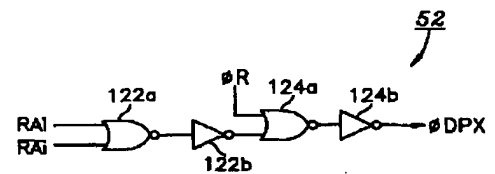
【図2】



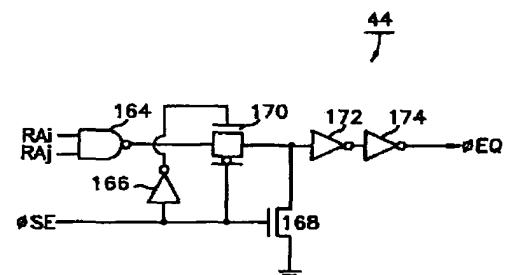
【図3】



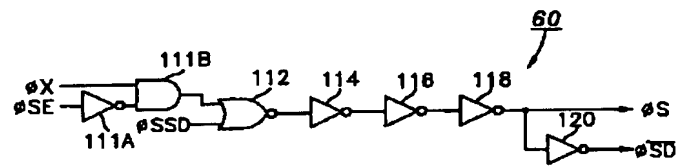
【図5】



【図7】



【図 4】



【図 6】

